

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-223634

(43)Date of publication of application : 21.08.1998

(51)Int.Cl.

H01L 21/3205

(21)Application number : 09-023471

(71)Applicant : HITACHI LTD

(22)Date of filing : 06.02.1997

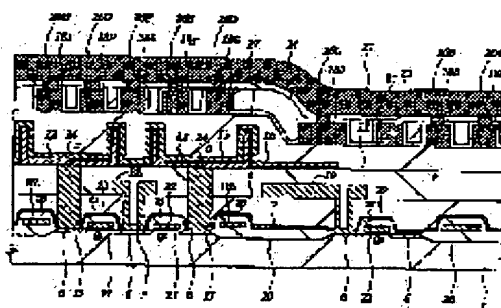
(72)Inventor : HIRASAWA MASANARI
SAITO MASAYOSHI
KOBAYASHI NOBUYOSHI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the yield of a wiring forming process by improving the flattening property of a rotationally applied insulating film by applying an insulating film on a semiconductor substrate on which lower-layer wiring is formed by means of a spin coater and a plurality of upper-layer wires on the applied insulating film at specific intervals.

SOLUTION: The wires 18A-18I of first-layer wiring are formed on a BPSG film 17. The wires 18A and 18B which are closely arranged in a peripheral circuit area constitute twin wiring. Since the twin wiring section is difficult to be flattened using SOG, a dummy wire (wiring 18C) is arranged in the vicinity of the twin wiring. Then a silicon oxide film 19 is deposited on the wires 18A-18I and an SOG film 24 is formed on the film 19 by rotationally applying organic SOG. Finally, upper-layer wiring 27 is formed on the SOG film 24. Since the dummy wiring 18C is arranged in the vicinity of the twin wiring which is the most difficult to be flattened, no twin wiring exists and, therefore, the maximum inclined angles of the recesses formed between the wires can be made smaller.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-223634

(43) 公開日 平成10年(1998) 8月21日

(51) Int.Cl.⁸

H 0 1 L 21/3205

識別記号

F I

H 0 1 L 21/88

K

S

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号

特願平9-23471

(22) 出願日

平成9年(1997) 2月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 平沢 賢斉

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 齊藤 政良

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

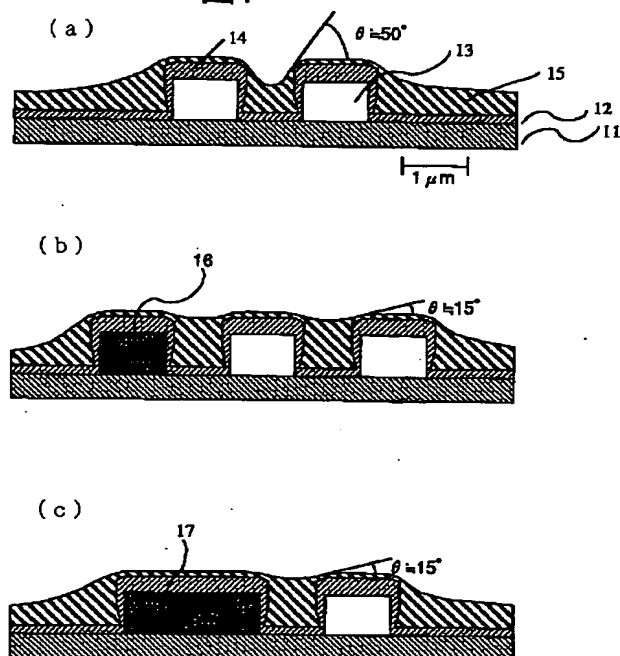
(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【課題】 上下層の配線間に形成される層間絶縁膜の平坦化特性を向上させ、配線形成プロセスの歩留まり向上をはかる。

【解決手段】 半導体基板の主面に互いに近接して配置され、他の配線とは離間して配置された第1の下層配線と、第2の下層配線を有する様に設計した半導体集積回路において、下層配線の近隣に下層配線と平行に電氣的に結合していなくてもよい下層配線を追加配置する設計を行い、設計に従って半導体基板の主面に下層配線を形成する工程を含み、下層配線が形成された半導体基板上に、スピコート塗布絶縁膜を形成する工程と、スピコート塗布絶縁膜上に複数の上層配線を形成する工程を含む。

図1



【特許請求の範囲】

【請求項1】集積回路の配線パターン形成において、半導体基板の主面に配線幅が $0.5\mu\text{m}$ 以上、 $2\mu\text{m}$ 以内の下層配線が互いの配線間隔 $2\mu\text{m}$ 以内に近接して配置され、他の配線との配線間隔が $5\mu\text{m}$ 以上離間して配置されたツイン配線を形成する場合に、ツイン配線から配線間隔 $4\mu\text{m}$ 以内に電氣的に結合されていなくてもよい配線幅が $0.5\mu\text{m}$ 以上、 $20\mu\text{m}$ 以内のダミー配線を形成する工程と、前記下層配線が形成された前記半導体基板上にスピコート塗布絶縁膜を形成する工程と、前記スピコート塗布絶縁膜上に複数の上層配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項2】集積回路の配線パターン形成方法において、半導体基板の主面に電気回路特性を十分に満たす配線幅が $0.5\mu\text{m}$ 以上、 $2\mu\text{m}$ 以内の下層配線が互いの配線間隔 $2\mu\text{m}$ 以内に近接して配置され、かつ他の配線との配線間隔が $5\mu\text{m}$ 以上離間して配置されたツイン配線を形成する場合に、ツイン配線の少なくとも一部をブローデン処理して、前記ブローデン処理した部分の配線の配線幅を前記回路特性を十分に満たす配線幅の 1.5 倍以上、 10 倍以内とする配線を形成する工程と、前記下層配線が形成された前記半導体基板上にスピコート塗布絶縁膜を形成する工程と、前記スピコート塗布絶縁膜上に複数の上層配線を形成することを特徴とする半導体集積回路装置の製造方法。

【請求項3】請求項1又は2において、前記下層配線が形成された前記半導体基板上に第1の無機絶縁膜を形成した後、前記無機絶縁膜上にスピコート塗布絶縁膜を形成する工程と、前記スピコート塗布絶縁膜上に第2の無機絶縁膜を形成する工程を含む半導体集積回路装置の製造方法。

【請求項4】請求項1、2または3に記載の前記半導体集積回路装置の製造方法であって、前記スピコート塗布絶縁膜が水素、炭素、フッ素の内、最低一つを含有する半導体集積回路装置の製造方法。

【請求項5】請求項1、2、3または4に記載の前記半導体集積回路装置の製造方法であって、前記スピコート塗布絶縁膜が有機SOGである半導体集積回路装置の製造方法。

【請求項6】請求項1、2、3、4または5において、前記下層配線が形成された前記半導体基板上に第1の無機絶縁膜を形成した後、前記無機絶縁膜上にスピコート塗布絶縁膜を形成する工程と、前記下層配線上のスピコート塗布絶縁膜をドライエッチングして除去した後、前記スピコート塗布絶縁膜上に第2の無機絶縁膜を形成する工程を含む半導体集積回路装置の製造方法。

【請求項7】請求項1、3、4、5または6において、前記ツイン配線の近隣に形成する電氣的に結合されていないダミー配線を感光性絶縁材料で形成する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置の製造方法に関する

【0002】

【従来の技術】半導体装置の高集積化による集積回路の設計期間の短縮のため、配線は自動設計で配置される。この自動設計の配線配置によってはSOGによる配線間段差の埋め込み平坦化が低下して不十分となる。この平坦化が不十分となった上に上層配線を形成すると、配線のエッチング残りによるショートが発生し易くなる。

【0003】上記の問題を解決するためには、下層の配線配置を最適化することによる層間絶縁膜の平坦化技術が不可欠である。

【0004】平坦化特性、絶縁信頼性を同時に満たす層間絶縁膜を1層で形成することは困難であることから、従来より、配線上にCVD法で酸化シリコン膜を堆積した後、配線間スペースに生じた酸化シリコン膜の凹部（以下、配線間段差と称する）にSOG膜を埋め込むことが行われている。

【0005】配線間段差の緩和を目的として使用されるSOG膜には大別して無機系のものと有機系のものがある。一般にSOGは膜厚を厚くするほど平坦化特性が向上する。しかし、無機SOGは膜応力が高いため厚膜化が困難である。有機SOGは膜応力が低いが、配線上の有機SOG膜を取り除くエッチバック工程の制約から膜厚を厚くするのは困難である。この理由により無機、有機にかかわらずSOGの厚膜化によって層間絶縁膜の平坦化を向上させるのは困難であり、また、SOGの平坦化向上のために配線の配置を変更することは配慮されていないため困難であり、平坦化の向上はSOGプロセスの改良によって行われている。

【0006】なお、有機系のSOG膜については、特開昭64-9231号公報に記載がある。また、有機系のSOGを使った層間絶縁膜の平坦化技術については、特開平8-17818号公報に記載がある。

【0007】

【発明が解決しようとする課題】しかし、自動設計では、配線間段差をSOGで埋め込み平坦化するのに不都合な配線配置が生じ、前述した平坦化が不十分となった上を横切る上層配線間の短絡不良を防止することが困難である。特に、この段差部の近くに形成された一群の下層配線の中で、互いに近接して配置され、かつ他の配線とは離間して配置されているような一対の配線（以下、この一対の配線をツイン配線と称する）がある場合には、このツイン配線間段差をSOGで平坦化することが困難となり、SOGによる平坦化後も配線間に大きな窪みが残る。その結果、窪みの上層に堆積した導電膜をドライエッチングで加工し配線を形成する際、この窪みの部分で導電膜のエッチング残りが生じ、上層配線同士で

短絡する不良が発生するという問題のあることが明らかになっている。

【0008】窪みが残ったツイン配線上に堆積した導電膜にエッチング残りが生じる理由を以下に述べる。窪みの最大傾斜角を θ とすると、窪み上に形成した導電膜の実効的な膜厚は実際の膜厚を $\cos \theta$ で割った値となる。 $\cos \theta$ は1よりも小さいため、最大傾斜角 θ が大きくなるほど窪み上の導電膜の実効的な膜厚は厚くなる。窪みの上の導電膜を除去するためにはオーバーエッチングを十分に行えば良いが、他の窪みの小さい部分では導電膜が除去された後に絶縁膜がエッチングされ下層配線の表面が露出してしまふ。このためSOGには窪みの最大傾斜角 θ をおよそ 30° 以下とする平坦化が要求される。

【0009】このように、SOG膜を含む層間絶縁膜の上層に配線を形成する工程では、下層のツイン配線間に残った窪みで上層導電膜のエッチング残りが発生して、上層配線どうしの短絡不良が発生するという問題がある。そこでSOGの埋め込み平坦化が最も低下するツイン配線の配置を変更することが、配線形成プロセスの歩留まりを向上させる上で必須となる。

【0010】本発明の目的は、配線配置を変更することでSOG等の回転塗布絶縁膜の平坦化特性を向上させ、配線形成プロセスの歩留まりを向上させることにある。

【0011】

【課題を解決するための手段】本発明のうち、代表的なものの概要を簡単に説明すれば次の通りである。

【0012】本発明の半導体集積回路の製造方法は半導体基板の主面に互いに近接して配置され、かつ他の配線とは離間して配置された素子動作に関係する第1、第2の下層配線を有する様に設計した半導体集積回路において、前記下層配線の近隣に前記下層配線と平行に、平坦化を目的とした電氣的に接続しない下層配線を配置する設計を行い、前記設計に従って半導体基板の主面に下層配線を形成する工程を含み、前記下層配線が形成された前記半導体基板上に、スピコート塗布絶縁膜を形成する工程と、前記スピコート塗布絶縁膜上に所定のピッチで離間する複数の上層配線を形成する工程を含む半導体集積回路装置の製造方法である。

【0013】

【発明の実施の形態】以下に本発明の実施例を詳細に説明する。

【0014】まず、配線配置とSOG膜の平坦化の関係を以下の方法で評価した。図4は本評価方法で使用した半導体基板の要部を示す断面図である。単結晶シリコン(Si)基板1上には酸化シリコン膜2が形成され、その上部には配線3A、3B、3Cが形成されている。配線3A、3B、3Cの上部には酸化シリコン膜4が形成され、さらにその上部にSOG膜5が形成されている。互いに近接して配置された2本の配線3A、3Bはツイン配線を構成しており、このツイン配線(配線3A、3

B)からある程度離れた箇所に周辺配線3Cが形成されている。実際の半導体基板1上には、配線3A、3B間のスペースS1を少しずつ変えた複数組のツイン配線と、ツイン配線とのスペースS2を少しずつ変えた複数の配線3C、及びツイン配線のスペースを固定して、ツイン配線の片一方の配線幅L1を変えた配線が形成されている。

【0015】上記シリコン酸化膜2にはプラズマCVD法を用い、その膜厚は $0.4\mu\text{m}$ となるように堆積した。配線3A、3B、3Cは酸化シリコン膜2上にスパッタリング法でTiN(チタンナイトライド)膜、Al(アルミニウム)-Cu(銅)-Si(シリコン)合金膜、W(タングステン)膜をそれぞれ膜厚 $0.1\mu\text{m}$ 、 $0.4\mu\text{m}$ 、 $0.15\mu\text{m}$ で堆積した後、フォトレジストをマスクにしたドライエッチングでこれらの膜をパターニングして形成した。配線高さは $0.65\mu\text{m}$ であり、配線3A、3B、3Cの配線幅は基本的に $1.0\mu\text{m}$ とした。配線3A、3B、3Cの上部のシリコン酸化膜4はプラズマCVD法を用い、平坦部での膜厚が $0.35\mu\text{m}$ となるように堆積した。酸化シリコン膜の段差被覆性は 0.55 であった。SOG膜5は有機SOGポリマを含む薬液を回転塗布した後、熱処理を行い、平坦部の膜厚が $0.25\mu\text{m}$ となるようにした。

【0016】図5に上記ツイン配線間のスペースS1と有機SOG膜の埋め込み平坦化との関係を示す。有機SOGの平坦化はツイン配線間の窪みの最大傾斜角 θ で評価し、 θ が小さいほど平坦化が優れているとした。配線3A、3Bの配線幅は $1.0\mu\text{m}$ とし、スペースS1は $0.25\sim 5.0\mu\text{m}$ とした。配線3Cはツイン配線から十分に離れている。図示のようにツイン配線間のスペースS1が $1.0\mu\text{m}$ 付近で最大傾斜角 θ は極大となる。この結果から、ツイン配線間のスペースS1が $0.5\mu\text{m}$ 以上、 $2.0\mu\text{m}$ 以下の範囲で特にSOGの平坦化が低下することがわかる。

【0017】図6にツイン配線3A、3Bと周辺配線3CとのスペースS2と有機SOGの平坦化との関係を示す。配線3A、3B、3Cの配線幅、及びツイン配線間のスペースは $1.0\mu\text{m}$ とし、スペースS2は $0\sim 5.0\mu\text{m}$ とした。図示のようにツイン配線とのスペースS2が小さくなるほど最大傾斜角 θ は小さくなり、スペースS2が $4.0\mu\text{m}$ 以内で優れた平坦化を得ることができる。また、スペース $0\mu\text{m}$ ではツイン配線の片一方の配線幅を2倍にしたのと等価であるが、同様に有機SOGの平坦化が向上している。以上の結果から、最も平坦化の低下するツイン配線の近隣に電氣的に接続しない配線を最低1本追加することにより有機SOGの平坦化を向上させることができる。

【0018】図7にツイン配線の片一方の配線幅L1と有機SOGの平坦化との関係を示す。配線3A、3Cの配線幅、及びツイン配線間のスペースは $1.0\mu\text{m}$ とし

た。配線3Cはツイン配線から十分に離れている。図示のようにツイン配線の片一方の配線幅 L_1 が広がるほど最大傾斜角 θ は小さくなり、配線幅 $2.0\mu\text{m}$ 以上で優れた平坦化を得ることができる。以上の結果から、最も平坦化の低下するツイン配線の片一方の配線幅を太くすることにより有機SOGの平坦化を向上させることができる。

【0019】図1(a)に配線幅、配線間スペースが $1.0\mu\text{m}$ 、配線高さ $0.65\mu\text{m}$ のツイン配線のみが配置されるように設計したホトマスクを用いて形成した配線を有機SOGで平坦化した場合を示す。図1(b)にはツイン配線の片一方の配線から距離 $1.0\mu\text{m}$ 離れた位置に幅 $1.0\mu\text{m}$ のダミー配線が配置されるように設計したホトマスクを用いて形成した配線を有機SOGで平坦化した場合を示す。図1(c)にはツイン配線の片一方の配線から距離 $0\mu\text{m}$ 離れた位置に幅 $1.0\mu\text{m}$ のダミー配線を配置するように設計したホトマスクを用いて、ツイン配線の片一方の配線幅を $2.0\mu\text{m}$ となるように形成した配線を有機SOGで平坦化した場合を示す。

【0020】ツイン配線のみでは配線間の最大傾斜角 θ は約 5° と大きく適正範囲外であるが、ツイン配線から距離 $1.0\mu\text{m}$ 離れた位置に幅 $1.0\mu\text{m}$ のダミー配線を配置、又はツイン配線の片一方の配線幅を設計値の2倍の $2.0\mu\text{m}$ とした場合、最大傾斜角 θ は約 15° と適正範囲内に収まっている。以上の結果から、最も平坦化の低下するツイン配線の近隣に電気的に関係しない配線を新たに追加配置するか、又はツイン配線の配線幅を回路設計上最低限必要な幅よりも太くすることにより有機SOGの平坦化を向上させることができる。

【0021】図2(a)に半導体メモリの1チップ分のホトマスク平面図の模式図を示す。半導体メモリはキャパシタが形成されているメモリマト部21と周辺回路部22で構成されている。メモリマト部21は配線が微細でかつ密集しているため、SOGによる平坦化は容易である。これに対して周辺回路部22は配線間隔が比較的に広いのでSOGによる平坦化が難しい。図2(b)は半導体メモリの周辺回路部22の拡大模式図であり、密集配線23、ツイン配線24、シングル配線25がホトマスクに描かれている。

【0022】この場合SOGによる平坦化はツイン配線24で最も厳しく、ツイン配線間に窪みが残った場合、上層配線の加工不良によるショートが発生する可能性が高い。これに対して、図2(c)、(d)は本発明の適用例であり、図2(c)はツイン配線24の近隣にダミー配線26を一本追加した配線配置であり、図2(d)はツイン配線の片一方の配線から配線間隔を空けないようにダミー配線26を配置してツイン配線の片方の配線27の配線幅を図2(b)の2倍にした配線配置である。図2(c)、(d)のどちらも基本的な配線配置を変更する

ことなくSOGの平坦化を向上することができる。

【0023】図3に本発明を適用した半導体集積回路の設計フローチャートを示す。現在の半導体集積回路の配線配置には自動設計が適用されているが、自動設計された膨大、かつ複雑な配線配置を全て把握することは困難である。このため事前にツイン配線の様なSOG平坦化に不都合な配線配置を全て取り除くことは困難であり、実際に半導体集積回路を作製して問題点を確認する必要がある。

【0024】以下に本発明のフローチャートを説明する。システム設計、論理設計を順に行った後、パターン設計を自動で行う。次にパターン検証を行い、配線幅、配線間隔が禁止ルール範囲にあるツイン配線の有無を検出する。ツイン配線がある場合は、ダミーパターンの追加、及び配線幅の拡張を行い、禁止ルール範囲のツイン配線が検出されなくなるまでパターン設計、パターン検証を繰り返す。次に回路特性検証を行い、デバイス特性を満たしているかを確認する。デバイス特性が不十分ならばパターン設計に戻り再設計を行う。回路特性検証が終わったらホトマスク作成を行い、実際に半導体集積回路を作成してSOG平坦化特性の検証を行い、平坦化特性が十分でない部分があればパターン設計に戻り再設計を行う。以上のフローチャートに従って半導体集積回路を設計すれば、基本的な配線配置を変えることなく平坦化不良を低減することができる。

【0025】次に述べる本実施例はメモリセル用MISFETの上部にビット線を配置し、このビット線の上部に情報蓄積用容量素子を配置するCOB（キャパシター・オーバ・ビットライン；Capacitor Over Bitline）構造のメモリセルを備えたDRAMの製造プロセスに前記の実施例の配線配置を適用したものである。なお、この種のメモリセルを備えたDRAMについては、例えば特願平7-203064号などに記載されている。

【0026】図8は、メモリセル領域（メモリアレイ）にCOB構造のメモリセルを形成した半導体基板1の断面図である。このメモリセルは、メモリセル選択用MISFET（Qt）とその上層に形成された情報蓄積用容量素子Cとで構成されている。情報蓄積用容量素子Cは、下部電極（蓄積電極）12と容量絶縁膜と上部電極16とで構成されている。

【0027】メモリセルを形成するには、まず、半導体基板1の主面に周知の方法でフィールド酸化膜20及びゲート酸化膜21を形成した後、ゲート酸化膜21上にゲート電極22を形成する。このゲート電極22は、メモリセルのワード線WLを兼ねている。ゲート電極22（ワード線WL）は、半導体基板1上にCVD法で多結晶シリコン膜（又は多結晶シリコン膜と高融点金属シリサイド膜とを積層したポリサイド膜）と酸化シリコン膜23とを堆積し、フォトリソをマスクにしたエッチングでこれらの膜をパターンニングして形成する。この時

同時に周辺回路領域にnチャネル型MISFET(Qs)のゲート電極22を形成する。

【0028】次に半導体基板1にn型不純物(例えばリン)を打ち込んで、メモリセル選択用MISFET(Qt)のn型半導体領域6(ソース領域、ドレイン領域)およびnチャネル型MISFET(Qs)のn型半導体領域6(ソース領域、ドレイン領域)を形成した後、nチャネル型MISFET(Qs)のゲート電極22を形成する。

【0029】続いて、メモリセル選択用MISFET(Qt)のソース、ドレイン領域(n型半導体領域6)の一方の上部の酸化シリコン膜8に接続孔9を形成した後、酸化シリコン膜8上にCVD法で堆積した多結晶シリコン膜(又はポリサイド膜)をパターンニングし、n型半導体領域6の一方に接続されるビット線BLを形成する。

【0030】この時同時に、周辺回路領域のnチャネル型MISFET(Qs)のn型半導体領域6に接続される配線10を形成する。

【0031】次にビット線BLの上部に情報蓄積用容量素子Cの下部電極を形成する。下部電極12を形成するには、まず、ビット線BLの上部にCVD法でBPSG膜11を堆積した後、メモリセル選択用MISFET(Qt)のソース、ドレイン領域(n型半導体領域6)の他方の上部のBPSG膜11、酸化シリコン膜8、酸化シリコン膜7およびゲート酸化膜21をエッチングして接続孔13を形成し、この接続孔13の内部に多結晶シリコン膜(又はポリサイド膜)をパターンニングする。

【0032】次に、下部電極12の上部に情報蓄積用容量素子Cの絶縁膜15を形成した後、この容量絶縁膜15の上部に情報蓄積用容量素子Cの上部電極16を形成する。容量絶縁膜15は、CVD法で堆積した多結晶シリコン膜で構成し、上部電極16は、容量絶縁膜15上にCVD法で堆積した多結晶シリコン膜をパターンニングして形成する。

【0033】次に、情報蓄積用容量素子Cの上部にCVD法でBPSG膜17を堆積する。本実施例のDRAMは、情報蓄積用容量素子Cをメモリセル選択用MISFET(Qt)の上部に配置するスタックド・キャパシタ構造を採用しているので、メモリセル領域のBPSG膜17は相対的に段差が高くなり、周辺回路領域のBPSG膜17は相対的に段差が低くなる。

【0034】次に、図9に示すように、BPSG膜17の上部に第一層目の配線18A~18Iを形成する。配線18A~18Dは周辺回路領域に配置され、配線18E~18Iはメモリセル領域に配置される。周辺回路領域の互いに近接して配置された配線18Aと18Bはツイン配線を構成している。ツイン配線部はSOGによる平坦化が厳しいため、ツイン配線の近隣に実施例のダミー配線(配線18C)を配置している。配線18A~18Iは、例えばTiN膜、アルミニウム(Al)膜およびTiN膜の3層膜をパターンニングして形成する。ただし、

ダミー配線(配線18C)のみ金属3層膜をパターンニングして形成する他に、感光性絶縁材料、例えばパーヒドロポリシラザンSOGや、ハイドロジェンシルセスキオキサンSOGをパターンとして残したい部分のみ感光して形成することも可能である。

【0035】次に図10に示すように、配線18A~18Iの上部にプラズマCVD法で酸化シリコン膜19を堆積した後、酸化Si膜19の上部に有機SOGを回転塗布し、次いでホットプレートバークおよびアニールを行ってSOG膜24を形成する。この例では最も平坦化の厳しいツイン配線の近隣にダミー配線を配置することにより、ツイン配線が存在しない。このため、SOGの平坦化は良好で、配線間の窪みの最大傾斜角 θ を小さくすることができる。

【0036】次に、図11に示すように、SOG膜24をエッチバックして配線18A~18Iの上部のSOG膜24を除去した後、SOG膜24上にプラズマCVD法で、酸化シリコン膜25を堆積する。この場合、SOG膜24を科学的機械研磨法(CMP)で研磨することによって配線18A~18Iの上部のSOG膜24を除去しても良い。

【0037】次に、図12に示すように、配線18A~18Iの上部の酸化シリコン膜25、19をエッチングして接続孔26A~26Hを形成した後、酸化シリコン膜25の上部に、例えばTiN膜、Al膜およびTiN膜の3層膜からなる導電膜を堆積し、次いでフォトリソをマスクにしたドライエッチングでこの導電膜をパターンニングして上層の配線27を形成する。

【0038】本実施例の製造方法によれば、ツイン配線の近隣にダミー配線を配置することにより、ツイン配線が存在しない。このためSOGの平坦化が良好で、配線間の窪みの最大傾斜角 θ を小さくすることができ、酸化シリコン膜25の上部に堆積した導電膜をドライエッチングする際、この窪みの上部で導電膜のエッチング残りが生じることがない。これにより、上層の配線27の短絡不良を防止することができるので、DRAMの製造歩留まりを向上させることができる。

【0039】図13は図9と同じようにBPSG膜17の上部に第一層目の配線18A~18Hを形成した状態を示している。周辺回路領域の互いに近接して配置された配線18A、18Bはツイン配線を構成している。ツイン配線部はSOGによる平坦化が厳しいため、この場合は実施例のツイン配線の片方の配線をブローデン処理して、配線幅をブローデン処理していない方の配線の2倍としている。配線18A~18Hは、例えばTiN膜、アルミニウム(Al)膜およびTiN膜の3層膜をパターンニングして形成する。

【0040】図14はツイン配線の片方の配線をブローデン処理した半導体基板に図10~図12と同じ手順で加工を行い、上層配線27まで形成した半導体基板の断

面図を示している。この例では最も平坦化の厳しいツイン配線の片方の配線をブローデン処理して配線幅を太くしているためSOGの平坦化は良好で、配線間の窪みの最大傾斜角 θ を小さくすることができる。

【0041】実施例では、ビット線の上に情報蓄積用容量素子を配置するCOB構造のメモリセルを備えたDRAMの製造方法に適用した場合について説明したが、メモリセルの上部に情報蓄積用容量素子を配置し、さらにその上部にビット線を配置するDRAMの製造方法にも適用することができる。

【0042】

【発明の効果】本発明の半導体集積回路装置の製造方法に従って形成した下層配線上有機SOGを塗布することにより、ツイン配線間の窪みの最大傾斜角度は小さくなり、平坦な層間絶縁膜を容易に得られるため、上層配線の短絡不良を防止することができ、配線形成工程の歩留まりを向上させることができる。

【図面の簡単な説明】

【図1】従来配線構造と本発明を適用した配線のSOG平坦化の違いを説明する断面図。

【図2】従来配線構造と本発明を適用した配線のホトマスクの違いを説明する平面図。

【図3】本発明を適用した半導体集積回路の設計フローチャート。

【図4】実施例の評価法で用いた半導体基板の要部を示す断面図。

す断面図。

【図5】ツイン配線間のスペースとツイン配線間の窪みの最大傾斜角 θ との関係の説明図。

【図6】ツイン配線と周辺配線との距離とツイン配線間の窪みの最大傾斜角 θ との関係の説明図。

【図7】ツイン配線の片一方の配線幅とツイン配線間の窪みの最大傾斜角 θ との関係の説明図。

【図8】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

10 【図9】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

【図10】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

【図11】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

【図12】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

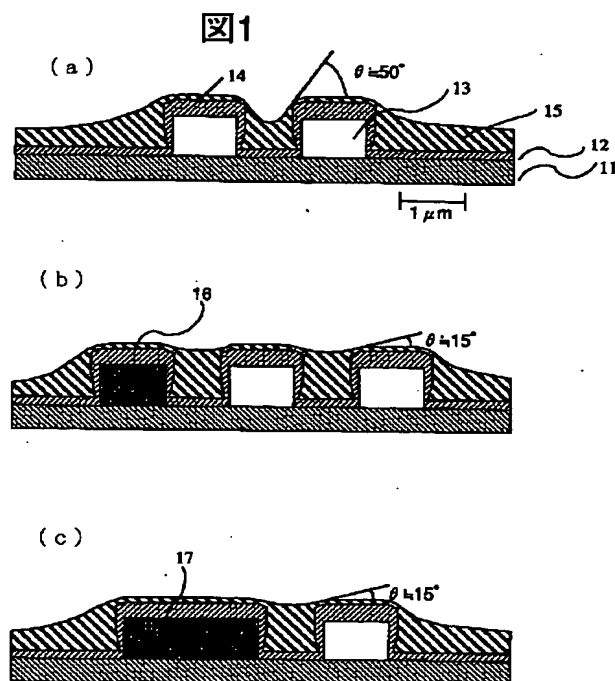
【図13】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

20 【図14】本発明の一実施例の半導体集積回路装置の製造方法を示す半導体基板の要部の断面図。

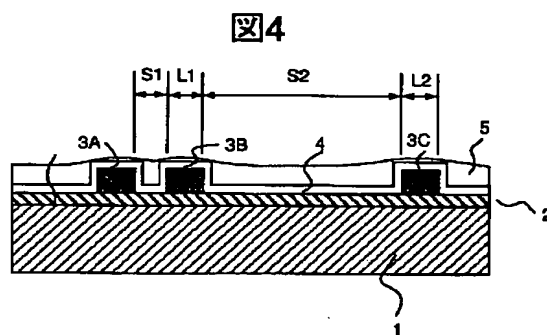
【符号の説明】

11…BPSG膜、12…下部電極、13…接続孔、14…多結晶シリコン膜、15…容量絶縁膜、16…上部電極、17…BPSG膜。

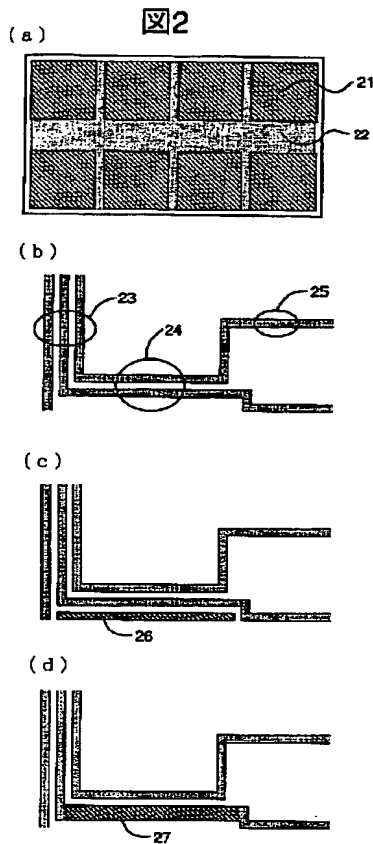
【図1】



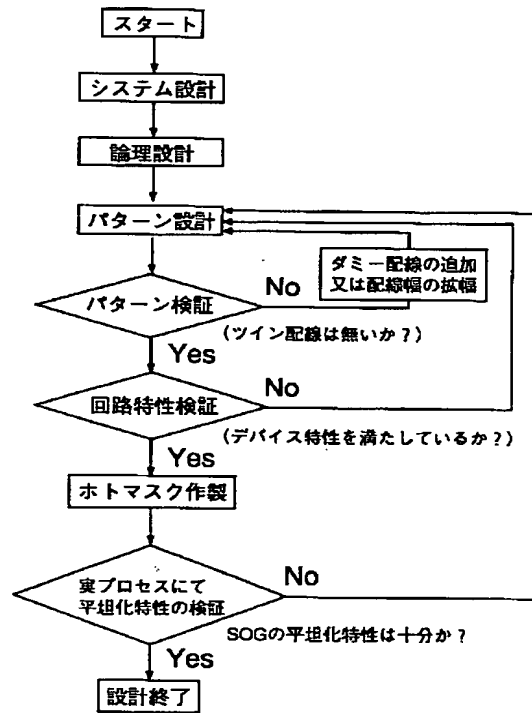
【図4】



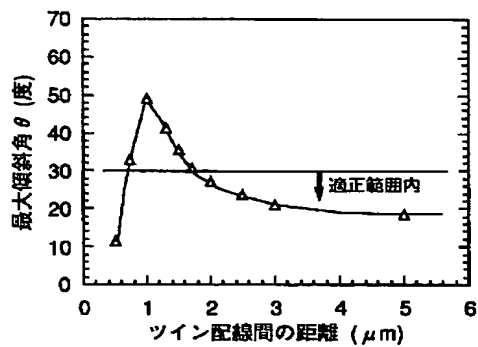
【図2】



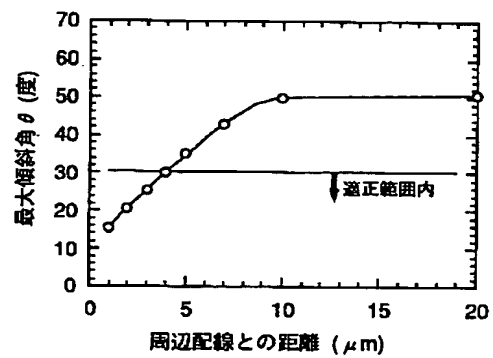
【図3】

図3

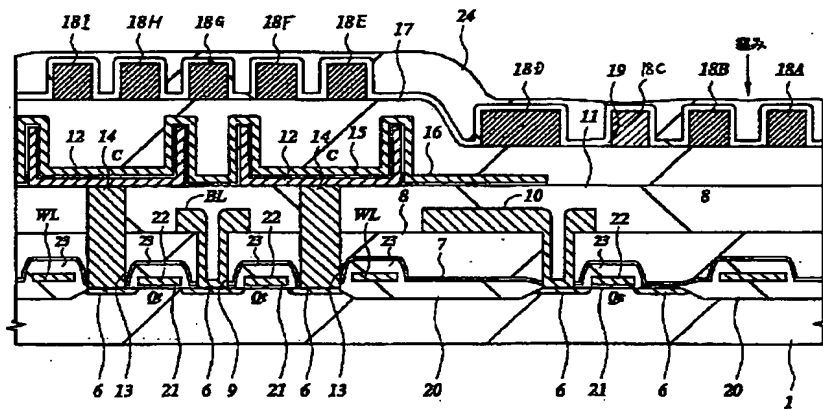
【図5】

図5

【図6】

図6

10



111

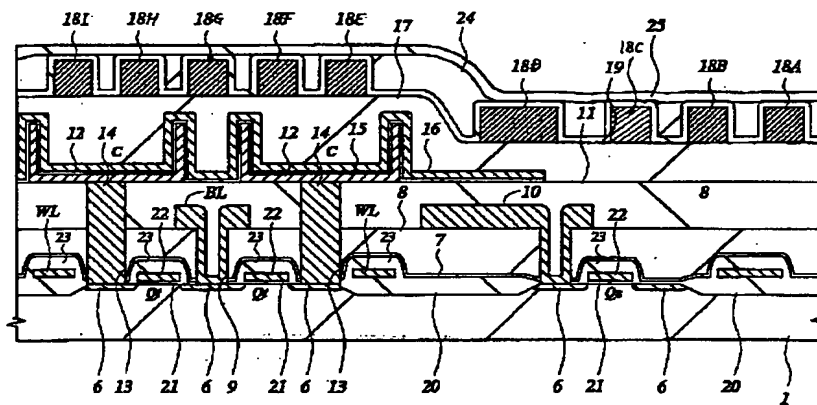


图 12

